

4 Entwickeln des Platinenlayouts

Student Group

First Name	Surname	Matrikel Nr.

Table of Contents

4 Entwickeln des Platinenlayouts	2
Prozess 4: Entwickeln des Platinenlayouts	2
101 - Layout zeichnen	2
Boardgröße und -typ	2
Bauteilpositionierung	4
Routing	6
weitere Routing Iteration	8
unnötig lange Leitungen	8
unnötige Vias	9
leichte Bestückung	10
Via in Pads	10
Bauteil-Erstellung	11
Zum Abschluss	11

4 Entwickeln des Platinenlayouts

- Für die Laborleitung: [Erstellen des Nutzens](#)

Prozess 4: Entwickeln des Platinenlayouts

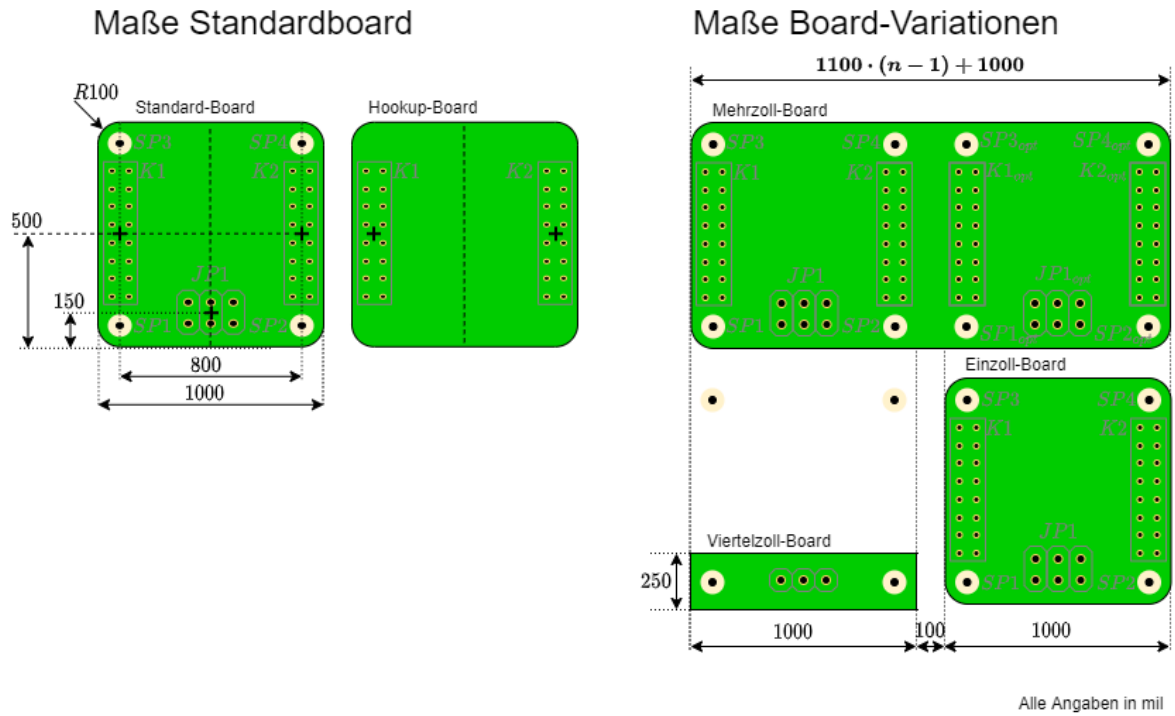
Input Products	Work	Output Products
IP1. Schaltplan der Platinen	W1. Durchsicht der benötigten Datenblätter W2. Erstellen der Schaltung (*.sch) in eagle (Ändern eines vorandenen Boards)	OP1. Schematic-files OP2: Datenblätter
Input Condition	W3. Regelmäßige Durchsprache mit dem Betreuer	Output Condition
IC1. Schaltplan vom Betreuer abgenommen	W4. Ablegen der genutzten Datenblätter W5. Informieren des Betreuers	OC1. Files abgelegt
checkliste_fuer_das_layout		

101 - Layout zeichnen

Boardgröße und -typ

Beachten Sie, dass durch das Mexlesystem die Größe des Boards in verschiedenen Stufen vorgegeben ist (siehe [figure 1](#)). Eine Übersicht zum Mexle-Format ist unter der [Beschreibung des MEXLE-Systems](#) zu finden. Im Folgenden sind die verschiedenen MEXLE-Board-Größen und -Typen beschrieben:

Fig. 1: Boardgrößen



Funktion	Zweck	Einzell-Board / Standard-Board	Viertelzoll-Board	Mehrzell-Board	Hookup-Board
Anwendung		kleine Sensor/Aktor- oder Microcontroller-Boards	Diskrete Elemente, die auf die Eckjumper zurückgreifen.	größere Sensor/Aktor- oder Microcontroller-Boards	Sensor/Aktor-Boards
Abmaße / Form		<ul style="list-style-type: none"> - Quadratischer Form mit abgerundeten Ecken (Radius $R=100$ mil) - 1000 mil - Da zwischen zwei Standardboards auf dem Modulträger 100 mil liegen, sind ausnahmsweise auch Maße zu 1100 mil zulässig. 	<ul style="list-style-type: none"> - Rechteckige Form ohne abgerundeten Ecken (geritzte Platine). - 1000 mil - 250 mil 	<ul style="list-style-type: none"> - Rechteckige Form mit abgerundeten Ecken (Radius $R=100$ mil). - $1100 \cdot (n-1) + 1000$ mil mit $n=\{1 \dots 3\}$ - n ist dabei die Anzahl der Module, welche überdeckt werden. - Ein Mehrzell-Board überstreckt sich über mehrere Module des Modulträgers. 	<ul style="list-style-type: none"> - Rechteckige Form mit abgerundeten Ecken (Radius $R=100$ mil). - 1000 mil - Da zwischen zwei Standardboards auf dem Modulträger 100 mil liegen, sind ausnahmsweise auch Maße zu 1100 mil zulässig.
Eckjumper SPx	<ul style="list-style-type: none"> - Verbindet das Board mechanisch mit dem Modulträger. - Eckjumper sind mit den Eckjumpers der benachbarten Boards elektrisch verbunden 	Jumper ($SP1 \dots SP4$). Im Notfall sind die oberen beiden und der Jumper $JP1$ zur mechanischen Fixierung ausreichend.	Jumper ($SP1$ und $SP2$).	Von den Eckjumpers sind nicht alle notwendig. Es wird empfohlen nur die äußersten vier Eckjumper zu nutzen.	Nicht notwendig, da für ein Hookupboard i.d.R. keine Notwendigkeit für ein aufstecken auf das Basisboard besteht.

Funktion	Zweck	Einzoll-Board / Standard-Board	Viertelzoll-Board	Mehrzoll-Board	Hookup-Board
Modul-versorgung \$\rm JP1\$	<ul style="list-style-type: none"> - Der zweireihige Jumper \$\rm JP1\$ dient zur Stromversorgung und Datenkommunikation mit dem Modulträger. - Er ist optional. - Eine Datenkommunikation über I2C sowie die Stromversorgung sollten aber aus Kompatibilitätsgründen darüber geleitet werden. - Ist nur eine Stromversorgung notwendig, so kann ein einreihiger Jumper genutzt werden. 	Der Jumper \$\rm JP1\$ sollte wie auf der mmc_1x1_328pb -Platine zu sehen positioniert werden	Der Jumper \$\rm JP1\$ liegt (wie die beiden Eckjumper) auf der Symmetrieachse	Auch hier sind wieder mehrere Positionen für \$\rm JP1\$ möglich. Es kann eine der möglichen (auf dem Raster des Modulträgers liegende) Positionen genutzt werden	Nicht notwendig, da für ein Hookupboard i.d.R. keine Notwendigkeit für ein aufstecken auf das Basisboard besteht.
Buchsen \$\rm K1\$ und \$\rm K2\$	<ul style="list-style-type: none"> - Die Buchsen \$\rm K1\$ und \$\rm K2\$ dienen des Anschlusses von Hookup-Boards. - Er ist optional. - Falls Hookups ermöglicht werden sollten, so sind für die mechanische Stabilität beide Buchsen vorzusehen. - Ggf. kann die Buchse durch eine SMD-Buchse ersetzt werden 			Sollen bei Mehrzoll-Boards eine Hookup-Möglichkeit zur Verfügung gestellt werden, so sind für die mechanische Stabilität zwei Buchsen (\$\rm K1\$ und \$\rm K2\$) vorzusehen, die \$800 \sim \rm mil\$ auseinander liegen. Eine Position wie beim Standardboard wird empfohlen.	
Pin-Belegung	Details zur Belegung von \$\rm K1\$, \$\rm K2\$, und \$\rm JP1\$ sind unter mmc_1x1_328pb beschrieben. Die dortige Belegung sollte aus Kompatibilitätsgründen eingehalten werden.				
eagle-Vorlage	Siehe 3. Entwickeln des Schaltplans				

Bauteilpositionierung

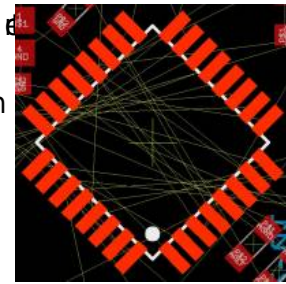
- Positionieren Sie immer als **erstes die Bauteile**.
 - Denken Sie dabei in **Baugruppen**. Wenn für ein Spannungsregler der Kondensator C12 notwendig ist, dann sollten diese beiden Komponenten zusammenbleiben. Diese bilden eine "Baugruppe"
 - **Interface first**: Erst geben meist die HMI-Komponenten (HMI: Human-Machine-Interface) und weitere Schnittstellen die Positionierung vor. Z.B. weil die Tasten nebeneinander oder der USB-Anschluss außen zu positionieren ist. Außerdem sollten **zusammenhängende Komponenten zusammenhängend platziert** werden. Ein Bereich nur für Leistungselemente (z.B. Motorsteuerung), ein Bereich für externe Analog-Digital-Wandler, ein Bereich für schnell-schaltende ICs (z.B. Mikrocontroller).
 - Dann sollten die großen Bauteile (ICs), dann die kleinen. Bei gleichen/ähnlichen ICs sollten die Kerben (bzw. Markierungen) in die gleiche Richtung zeigen, um ein Verdrehen zu vermeiden.
 - Bei Mikrocontrollern und anderen vielbeinigen Chips bietet sich ein mehrmaliges Drehen um 45° an. Damit ist kann eine optimale



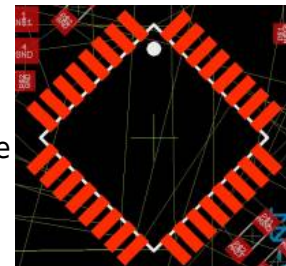
Fig. 2: Beispiel für schlechte Anordnung für ein seitlich-bedienebare

Ausrichtung gesucht werden, welche kurze Leitungslängen erzeugt (siehe Bild).

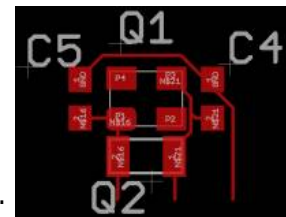
- Prüfen Sie bei Kondensatoren, ob diese möglichst in der Nähe von Bauteilen positioniert werden sollen. Als Faustformel gilt für Bypass-Kondensatoren, dass zwischen Kondensator -Anschluss und VCC-Pin sowie Kondensator-Anschluss und GND-Pin entlang der Leitung nur wenige Millimeter liegen.
- Richten Sie das "Vogelfutter" - also passive Bausteine, wie Widerstände und Kondensatoren - möglichst parallel aus. Bevor Sie tatsächlich Verbindungen ziehen, versuchen Sie das Vogelfutter so zu positionieren, dass es möglichst wenig Überschneidungen der Airwires gibt.
- Versuchen Sie möglichst alle Bauteile auf einer Seite, nämlich der Oberseite, zu positionieren.
- Falls der Platz nicht mehr ausreicht, empfiehlt sich folgende Reihenfolge bei der Auswahl der Komponenten für die Rückseite
 - Lötjumper (Sjxx)
 - Vogelfutter (nicht Bypass- oder Filter-Komponenten)
 - Komponenten die aufgrund der Größe oder Anwendung auch auf die Rückseite passen (z.B. nicht große Spulen, Schalter, LEDs)
- Positionieren Sie die Bauteile so auf dem Raster, dass Ein- und Ausgänge auf dem Raster liegen. Hierfür kann ein grobes Raster gewählt werden (z.B. 50mil).
- Wir nutzen eine aufgedruckte **Beschriftung**.
 - Beschriften Sie also die Bauteile mit dem korrekten Namen (R1, C1, etc.) und setzen Sie die Beschriftung in die Nähe des Bauteils.
 - Die Beschriftung darf nicht über blankem Kupfer (Pads) laufen und sollte nach Möglichkeit auch bei bestückter Platine sichtbar sein.
 - Vergessen Sie nicht eine aussagekräftige Beschreibung für das Board zu nehmen (Autor, Projekt, Datum, etc).
 - Die Beschriftung ist in KiCAD z.B. über die 3D Ansicht (Ansicht » 3D-Betrachter) überprüfbar.
 - Die Beschriftung sollte mindestens 0.8 mm Breite und Höhe haben. Falls Sie die Schriftgröße global verändern wollen, so nutzen Sie am besten folgende Schritte:
 Bearbeiten » Text- und Grafikeigenschaften bearbeiten » Anwendungsbereich: Referenzbezeichner und Anpassen der Textbreite und -höhe



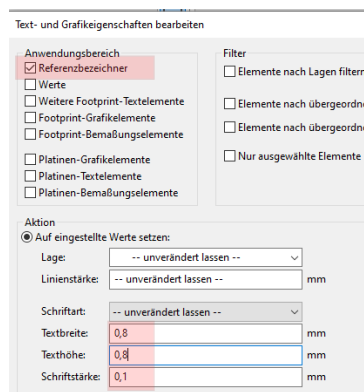
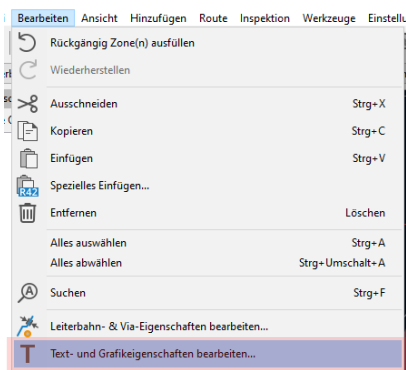
B Beispiel für schlechtes Airwiring



Beispiel für besseres Airwiring



Beispiel für Bauteilgruppe Quarz



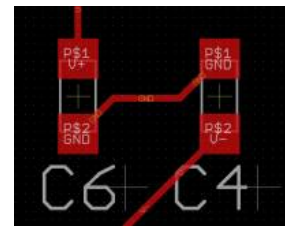
- Positionieren Sie **Quarze und Oszillatoren** unmittelbar in der Nähe der

zu taktenden Komponente. Die Kondensatoren des Quarze sollten wiederum unmittelbar in der Nähe der Quarz liegen (siehe Bild). Für den Abstand über die Leitung gilt Ähnliches wie bei den Bypass-Kondensatoren. Zusätzlich sollten keine Signale unter dem Quarz verlaufen.

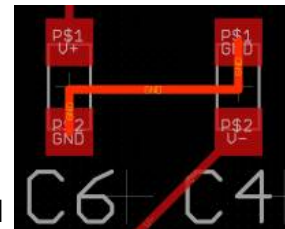
- **Eingangsfiler für Signale** (z.B. bei Analogeingängen) empfiehlt sich auch möglichst nahe am IC zu positionieren. Ansonsten kann die Filterwirkung durch Übersprechen und die Leitungsimpedanz gestört werden.

Routing

- Um das Routing zu vereinfachen, sollten auf Top bevorzugt die horizontale Verbindungen, auf Bottom die vertikale Verbindungen gelegt werden - oder umgekehrt. Diese Methode wird als **Manhattan-Routing** bezeichnet. Wenigstens sollten Sie die Verbindungen auf **Top und Bottom senkrecht aufeinander** stehen.
- **der richtige Winkel:** Allgemein sind spitze Winkel bei der Verbindungsführung zu vermeiden, da es dort zu Fertigungsproblemen kommen kann. Wenn von einem Pin mehrere Abgänge ausgehen, so ist folgendes zu unterscheiden: bei Masseanschlüsse sollen die Abgänge im 90° Winkel liegen (siehe Bild rechts). Alle anderen Winkel auf einer Ebene sollen in einem möglichst großen Winkel erfolgen, also 135° . Bei Vias mit jeweils einem Abgang dürfen beliebige Winkel genutzt werden.
- Es ist folgende Reihenfolge für das Routing empfohlen:
 - Verbinden Sie zunächst alle Bypass-Kondensatoren an die jeweiligen Pins. Achten Sie dabei darauf, dass die Länge der Leitung minimal sein soll.
 - Am zweitwichtigsten sind die Anbindung an Oszillator und Quarz, sowie deren Kondensatoren. Vermeiden Sie dabei (viele) Vias und versuchen Sie kurze Verbindungen zu setzen. Die Verbindungen sollten möglichst auf der Seite der entsprechenden Pins verlaufen.
 - Ziehen Sie als nächstes die Leitungen für die analoge und digitale Datenübertragung. Auch hier auf wenig (bis keine) Vias, kurze Verbindungen und gleiche Seite wie die ausgehenden Pins achten.
 - Danach ist die Spannungsversorgung zu verbinden. Hier sollte - soweit möglich - eine breitere Leitung (z.B. $10\text{~}\mu\text{m}$ bzw. $0.25\text{~}\text{mm}$ oder größer) genutzt werden.
 - Schließen Sie dann **alle GND per Verbindungen** an den Masseanschluss an. Achten Sie darauf, Versorgungsmassen (GND) von der Masse für Analogeingänge (AGND) zu trennen.
- Für die Leiterbahnen sollte $0.2\text{~}\text{mm}$ ($6\text{~}\mu\text{m}$ oder $8\text{~}\mu\text{m}$ mil) als Standardbreite genutzt werden. Wenn Platz vorhanden ist, schadet eine breitere Leitung bis $0.25\text{~}\text{mm}$ ($10\text{~}\mu\text{m}$ mil) nicht. Beachten Sie ab Strömen von ca. $1\text{~}\text{A}$ die Strombelastbarkeit von Leiterbahnen. Bei größeren Strömen erwärmen sich die Leitbahnen unter Umständen stark. Mit steigender Temperatur können sich die Werte von Kondensatoren, Widerständen und weiteren Komponenten ändern. Eine Berechnung der der Temperaturänderungen finden Sie in



Beispiel: schlecht verlegte Masseleitung (starke Wärmeableitung über blau markierte



g. 7: gut verlegte Masseleitung

kiCAD im Projektfenster unter Berechnungswerkzeuge » Leiterbahnbreite. Temperaturen unter $70\text{~}\text{°C}$ sind akzeptabel. Daraus ergeben sich bei einer Raumtemperatur von bis zu $30\text{~}\text{°C}$ einen maximalen **Temperaturanstieg von $40\text{~}\text{°C}$** .

- Für Vias können bis zu einem Drill von $0.2\text{~}\text{mm}$ ($7.87402\text{~}\text{mil}$) genutzt werden. Für geringe Stückzahlen sind diese nicht teurer. Wichtig auch hier: wenn viel Strom ($\approx 1\text{...}2\text{~}\text{A}$) über ein Vias transportiert werden soll, sind größere Vias und/oder mehrere Vias besser. Für Details hat kiCAD im Projektfenster einen “Werkzeug-Koffer” an: Berechnungswerkzeuge » Via-Größe
- Legen Sie abschließend auf jede genutzte Ebene ein **gefüllte Zone** (`<Strg>+<Umschalt>+Z`, auch Polygon genannt) und benennen Sie es “GND”. Dann können Sie mit Ratsnest die Freiflächen mit Masse ausfüllen. Damit reduziert sich Störausstrahlung, induktive Verluste und Widerstand zu Masse. Gibt es neben GND auch AGND, so bietet sich auch ein separate AGND-Fläche an.
- Suchen sie in den **Dokumenten der Komponenten** (“application notes” oder “data sheet”) nach “Layout”, “Layout Guidelines” oder “Layout Examples”. Falls Sie dort keine Beispiele finden, lohnt sich ein nachdenklicher Blick auf Platinenhersteller. Bei Open Source Herstellern wie Adafruit oder Sparkfun können dazu meist Erklärungen zur Schaltung gefunden werden (z.B. für [Motortreiber](#)). Diese Vorarbeit erleichtert nicht nur das Layout, sondern reduziert auch die Wahrscheinlichkeit von Problemen!
- Falls Sie differentielle, digitale Signale (z.B. D+ und D- bei USB) routen, beachten Sie, dass die Verbindungen so gut wie möglich gleich lang sein sollten. Gleiches gilt für differentielle, analoge Signale mit hochfrequentem Nutzanteil. Weitere Tipps und Tricks finden Sie im Video [differential Pairs](#) und in der Anleitung [How to route differential pairs](#).
- **Kann ich auch Vias in Pads setzen?** Es kommt darauf an: Verwenden Sie eine Pick-and-Place System mit Lötpaste, dann sollten keine (großen) Vias in Pads gesetzt werden. Ansonsten wird im Reflow-Ofen das Lot durch das Via fließen, womit zu wenig Lot zum Verbinden des Bauteils vorhanden ist. Wenn Sie als Via Drill $\leq 0.3\text{~}\text{mm}$ ($\leq 11.811\text{~}\text{mil}$) verwenden, dann kann dies weniger problematisch, da der „suck down“ aufgrund der Oberflächenspannung des Lötzinns merklich geringer ausfällt. Auch beim händischem Löten tritt das Problem weniger auf.
Generell sollten Vias in Pads in der Elektronik vermieden werden.
- **Ich habe zu viele Verbindungen und kann in der Schaltung nichts mehr finden.** Öffnen Sie den Schaltplaneditor neben dem Leiterplatteneditor. Dann sind im Schaltplaneditor hervorgehobene Komponenten und Verbindungen auch im Leiterplatteneditor markiert. Weiterhin können Verbindungen mit auch unterschiedliche Farben markiert werden: rechts im Leiterplatteneditor Netze » Netz - Anzeigeoptionen » Netzfarben: Alle. Nun können im oberen Bereich die Farben vergeben werden.

weitere Routing Iteration

Es bietet sich - wie bei der Software-Entwicklung - an nach der ersten "fertigen Version" nochmals die Entwicklung zu betrachten und Korrekturen vorzunehmen. Dies betrifft bei der Platine insbesondere die folgenden Punkte.

unnötig lange Leitungen

Vermeiden Sie lange Leitungen, insbesondere wenn diese eine große Fläche umschließen. Damit entstehen unter Umständen Empfänger für eine induktive Kopplung. Häufig hilft auch bei langen Leitungen zu überlegen, ob ein Verschieben und Drehen von Komponenten die Wege verkürzt.

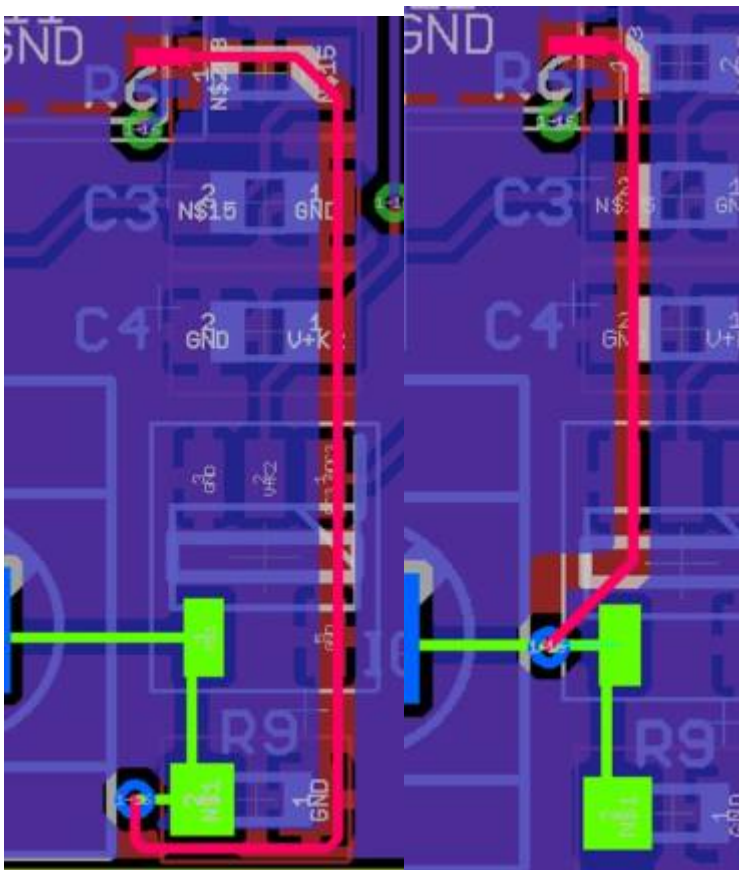
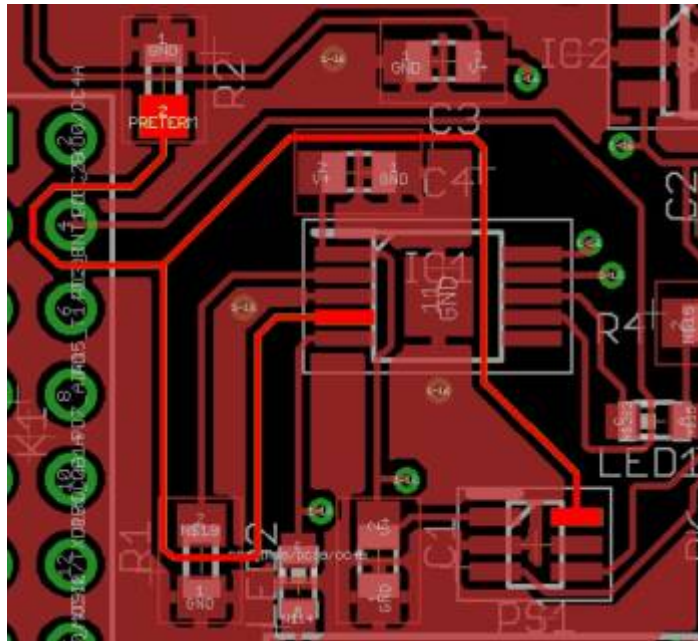


Fig. 8: Beispiel: unnötig lange Verbindungen



(rechts: Verbesserung)

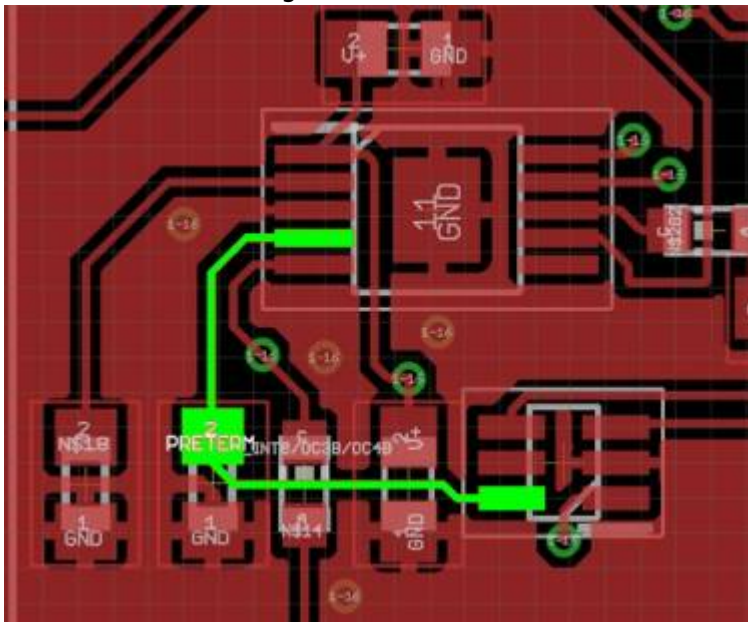


Fig. 9: Beispiel: unnötig lange Verbindungen

(rechts: Verbesserung)

unnötige Vias

Bei Vias sollte geprüft werden, ob diese tatsächlich notwendig ist. Auch bei der Anwendung von Manhattan-Routing hilft eine abschließender Check ob der Layer-Wechsel notwendig ist.

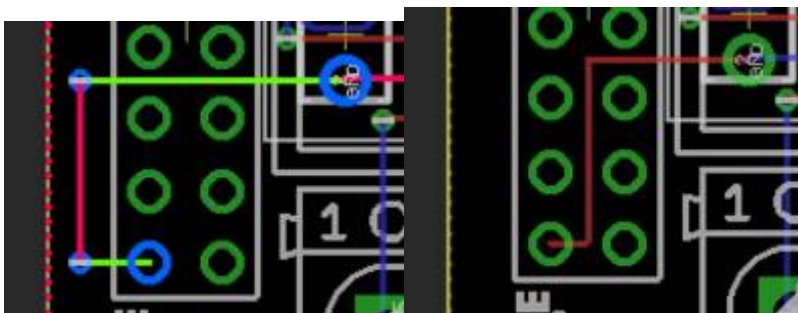


Fig. 10: zwei unnötige Vias: THD-Komponenten können von beiden Seiten angeschlossen werden. (rechts: Verbesserung)

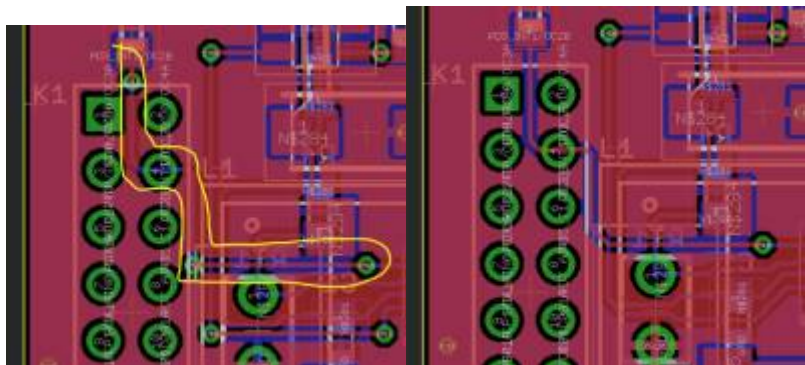


Fig. 11: zwei unnötige Vias (rechts: Verbesserung)

Verbesserung)

leichte Bestückung

Um die Bestückung zu vereinfachen, sollten die passiven Komponenten gleichartig angeordnet werden. Insbesondere gilt das für Dioden - hier sollten immer die parallele Anordnung der antiparallelen bevorzugt werden.

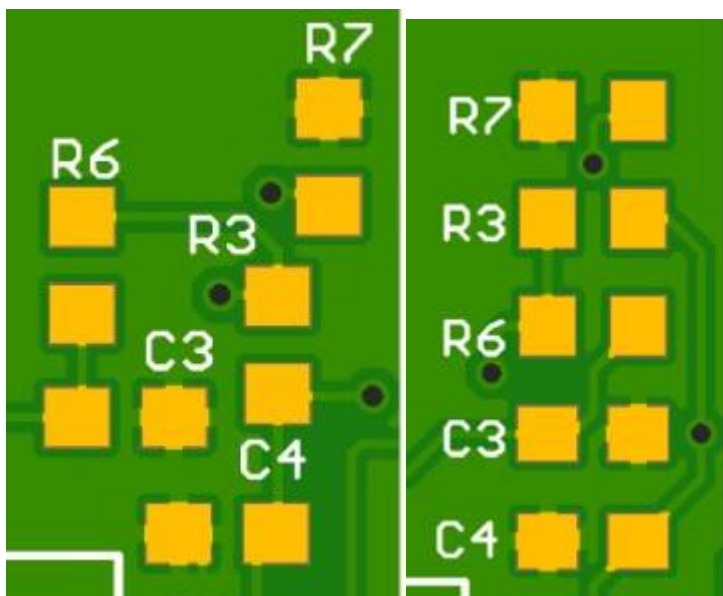


Fig. 12: Beispiel: unsortierte

Passivkomponenten (rechts: Verbesserung)

Via in Pads

Vias in Pads sollten vermieden werden. Hierdurch wird das Lötzinn auf die andere Seite gezogen. Damit kann die Verbindung zum Pad schlechter werden.



Fig. 13: Beispiel: unsortierte Passivkomponenten (rechts: Verbesserung)

Verbesserung)

Bauteil-Erstellung

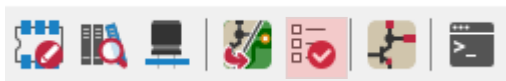
- **Ein Bauteil ist nicht in EAGLE zu finden.** Folgendes Manual erklärt, wie man ein [Bauteil in eagle erstellen](#) kann.
- **Ich habe vom Bauteil xx eine EAGLE Bibliothek gefunden, soll ich die verwenden?** Sie können die Bauteile direkt verwenden, beachten Sie aber, dass der Schaltplan leserlich sein soll (siehe "Schaltplan zeichnen").
- Versuchen Sie keine länglichen Pads (= Lötaugen) zu verwenden (z.B. bei manchen Through-Hole Komponenten). Falls eine Komponente aus der Lib solche Pads enthält, können Sie wie folgt vorgehen:
 - (1) Export der Komponente aus der Schematic-Darstellung (Datei » Exportieren » Libraries und Auswahl der gewünschten Komponenten)
 - (2) Öffnen der Komponente
 - (3) Auswahl der Footprint Darstellung
 - (4) Change-Funktion aktivieren (Schraubenschlüssel) » Shape » round
 - (5) alle gewünschten Pads anklicken
 - (6) ersten Pad auswählen und dieses als Quadrat ausführen. (Rechtsklick » Eigenschaften » Shape » Square)
 - (7) Abspeichern und in brd als neue library einbinden
- die schnelle Alternative zum eigen erstellten Footprint ist die Suche in größeren Libraries. Dazu bietet sich an:
 - [snapEDA](#)
 - [octopart](#)
 - die Suche über Google z.B. <Bauteilname> lib site:github.com . Statt nach "lib" kann auch nach "sch" gesucht werden. Die Library lässt sich in eagle schnell aus der schematic exportieren.
 - die Komponente muss auch nicht exakt übereinstimmen. So kann auch die Suche nach einer Komponente mit gleichem Footprint oder direkt nach der Bezeichnung des Footprints weiterhelfen

Zum Abschluss

- **Design Rule Check** durchführen: Inspektion»Designregeln überprüfen (DRC)

Bitte achten Sie darauf, dass auch der Bestückungsdruck geprüft wird.

Dazu Folgendes prüfen: Datei » Platinenkonfiguration » Verstoß-Schweregrade » Lesbarkeit » Bestückungsdrucküberlappung --> als Warnung



Folgendes sind häufige Findings:












- Fehler: Elemente, die zwei Netze kurzschließen (Netze X und Y): Ein Pad hat Kontakt mit einer Leiterbahn, welche auf einem anderen Potential liegt (z.B. nach Verschieben von Komponenten). Komponente und/oder Leiterbahn ist zu verschieben.
- Fehler: Leiterbahnkreuzung: Eine Leiterbahn hat Kontakt mit einer Leiterbahn, welche auf einem anderen Potential

liegt (z.B. nach Verschieben von Komponenten). Leiterbahn(en) ist/sind zu verschieben.

- Fehler: Abstandsflächenüberschneidung:
Zwei Komponenten kommen such zu nahe, sodass es eine Überlappung ihrer 'Courtyards' gibt. Komponente(n) ist/sind zu verschieben.
- Fehler: Vorderseitige Lötstoppöffnung über Elementen mit verschiedenen Netzen bzw Fehler: Rückseitige Lötstoppöffnung über Elementen mit verschiedenen Netzen:
Zwei Komponenten kommen such zu nahe, sodass es eine Überlappung ihrer Lötstoppöffnungen (z.B. Pads) gibt. Komponente(n) ist/sind zu verschieben.
- Fehler: Platinenkanten-Freiraum-Verstoß:
Abstand eines Pads zum Rand ist zu kurz. Komponente verschieben.
- Fehler: Freiraum-Verstoß (Netzklasse "Default" Freiraum X; tatsächlich Y):
Falls dieser Fehler zwischen zwei Komponenten liegt, ist mindestens eine der beiden zu verschieben.
Falls es innerhalb einer Komponente vorhanden ist, so liegt dies häufig an den "Benutzerdefinierten Regeln": Diese können Sie über Datei»Platinenkonfiguration»Designregeln»Benutzerdefinierte Regeln finden. Hier sollten nichts in der Textbox stehen. Falls die Textbox nicht leer ist, ist diese zu leeren.
- Fehler: Freiraum-Verstoß (Regel "class 0:0" Freiraum X; tatsächlich Y):
Falls dieser Fehler zwischen zwei Komponenten liegt, ist mindestens eine der beiden zu verschieben.
Falls es innerhalb einer Komponente vorhanden ist, so liegt dies häufig an den "Netzklassen": Diese können Sie über Datei»Platinenkonfiguration»Designregeln»Netzklassen finden. Hier sollten die folgenden Werte auftauchen:

Name	Freiraum	Leiterbahnbreite	Via-Größe	Via-Loch	µVia-Größe	µVia-Bohrung	DP-Breite	DP-Abstand
Default	0,125 mm	0,2 mm	0,6 mm	0,3 mm	0,3 mm	0,1 mm	0,2 mm	0,25 mm

- Fehler: Platinenkanten-Freiraum-Verstoß (Einschränkungen aus Platinenkonfiguration zum Rand Freiraum X; tatsächlich Y):
Dies liegt häufig an den "Einschränkungen": Diese können Sie über Datei»Platinenkonfiguration»Designregeln»Einschränkungen finden. Hier sollten die folgenden Werte auftauchen:

Kupfer		Bogen / Kreis durch Segmente angenähert	
	Mindestfreiraum:	<input type="text" value="0,125"/>	mm
	Minimale Leiterbahnbreite:	<input type="text" value="0"/>	mm
	Minimale Verbindungsbreite:	<input type="text" value="0"/>	mm
	Minimale Restring-Breite:	<input type="text" value="0,1"/>	mm
	Via-Minstdurchmesser:	<input type="text" value="0,5"/>	mm
	Kupfer-zu-Loch-Freiraum:	<input type="text" value="0,25"/>	mm
	Kupfer-zu-Rand-Freiraum:	<input type="text" value="0,3"/>	mm
Löcher		Maximal zulässige Abweichung: <input type="text" value="0,005"/> mm	
	Minimales Durchloch:	<input type="text" value="0,3"/>	mm
	Loch-zu-Loch-Freiraum:	<input type="text" value="0,25"/>	mm
µVias		Hinweis: Zonenfüllung kann langsam sein, wenn < 0,005 mm.	
	µVia-Minstdurchmesser:	<input type="text" value="0,2"/>	mm
	Mindestgröße µVia-Loch:	<input type="text" value="0,1"/>	mm
Bestückungsdruck		Zonen-Füllstrategie	
	Mindestfreiraum:	<input type="text" value="0"/>	mm
	Minimale Schrifthöhe:	<input type="text" value="0,8"/>	mm
	Minimale Schriftstärke:	<input type="text" value="0,08"/>	mm
		<input type="checkbox"/> Verrundungen außerhalb des Zonenumrisses zulassen	
		<input checked="" type="checkbox"/> Mindestanzahl für thermische Entlastungsspeichen: <input type="text" value="2"/>	
		Längenabstimmung	
		<input checked="" type="checkbox"/> Höhe des Lagenaufbaus bei Berechnungen von Leiterbahnlängen berücksichtigen	

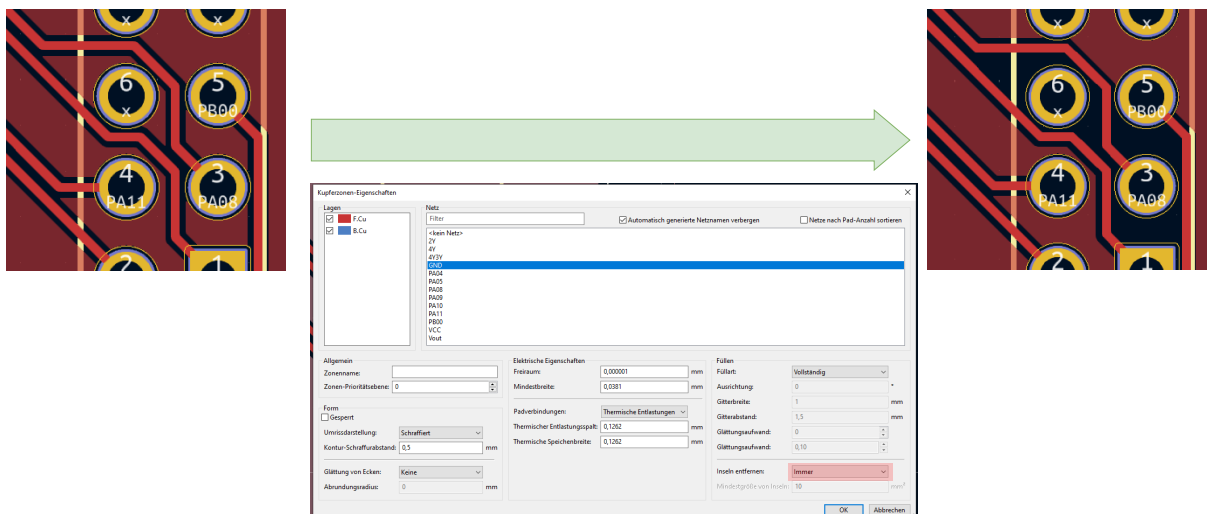
- **Warnung: Leiterbahn hat unverbundenes Ende:**
 - Alle Airwires sind zu verbinden.
 - Bei Ground muss beachtet werden, dass alle einzelnen Groundflächen verbunden sind. Falls es dort "unauffindbare" Probleme gibt, bietet es sich an alle GND-Anschlüsse mit Routes zu verbinden
 - Speziell für die Versorgung mit +3V3 ist prinzipiell nur ein Pin der beiden Stecker K1 und K2 notwendig. Der nicht benötigte Anschluss sollte bei Nicht-Verwendung über eine „Keine-Verbindung-Kennzeichnung“ (Markierung mit X) abgeschlossen werden.



- **Warnung: Via ist nicht oder nur auf einer Lage verbunden:**
Ein Via ist nicht vollständig verbunden. Via verbinden.
- **Warnung: Bestückungsdruck von Platine abgeschnitten:**
 - Der Bestückungsdruck sollte gänzlich auf der Platine liegen - der Text ist also vollständig auf die Platine zu schieben.
 - Bei randständigen Komponenten sind Ausnahmen möglich, d.h. es kann diese Warnung unkorrigiert stehen gelassen werden.
Bei den MEXLE Vorlagen liegen die Bestückungsdrucke von JP1 bzw. K1 und K2 teilweise über dem Platinenrand. Diese können akzeptiert werden.
 - Sofern die Warnung beim Text von K1 und K2 erscheint, so kann dieser wie folgt verschoben werden:



- **Warnung: Bestückungsdruck schneidet Lötstopmmaske:**
 Ein Bestückungsdruck liegt auf einer offenen Kupferfläche (z.B. Pad). Auf Kupfer hält der Bestückungsdruck nicht. Der Text ist zu schieben.
 Falls der Text in einem gesperrten Element liegt, hilft es manchmal beim Auswahlfilter gesperrte Elemente zu aktivieren
- **Warnung: Bestückungsdrucküberlappung:**
 Überlappung von Text / Bestückungsdruck ist zu vermeiden.
- **Warnung: Footprint "X" nicht in Bibliothek "Library" gefunden:**
 Der angegebene Footprint ist nicht im Projekt bekannt:
 Dies lässt sich leicht lösen:
 - Rechtsklick auf betroffene Komponente und Im Footprinteditor öffnen
 - im Footprinteditor: Datei»Neue Bibliothek...»Projekt, im Folgenden den Pfad der Projektdaten auswählen (den Ordner, in welchem diese Dateien abliegen)» Name Library.pretty»Ordner auswählen drücken
 - im Footprinteditor: Datei»Speichern unter...»Library auswählen und Footprinteditor schließen
 - Einstellungen»Footprintbibliotheken verwalten...»Projektspezifische Bibliotheken » falls hier nicht die Bibliothek "Library" zu finden ist, so ist diese mit über das Ordnersymbol einzufügen
- **Warnung: Isolierte Kupferfüllung:**
 Diese Warnung erscheint, wenn es durch eine Kupferzone kleine Kupferinseln gibt, welche nicht mit der Kupferzone verbunden verbunden ist. Häufig ist dies beim Groundlayer der Fall. Als Lösung sollte die Kupferzonen-Eigenschaften geändert werden: die Option Inseln entfernen sollte auf Immer oder Unterhalb der Flächengrenze gesetzt werden. Alternativ hilft es über ein Via zum rückseitigen Groundlayer die Fläche zu füllen.



Zu beachten ist auch:

- Versorgung mit +3V3
 - Diese kann sowohl über den Stecker K1 als auch über K2 oder über beide gleichzeitig geschehen.
 - Wird die Versorgung nur von einem Stecker genutzt (z.B. K1), so sollte in der Schaltung beim anderen Stecker (im Beispiel K2) die Versorgung auf eine keine-Verbindung-Kennzeichnung erhalten. Dann ergibt sich kein Fehler.
 - Wird die Versorgung nur von von beiden Steckern genutzt, muss keine Verbindung dazwischen vorgesehen werden.

In diesem Fall ergibt sich der Verstoß Fehler: Fehlende Verbindung zwischen Elementen, welcher mit rechtecklick ausgeschlossen werden kann

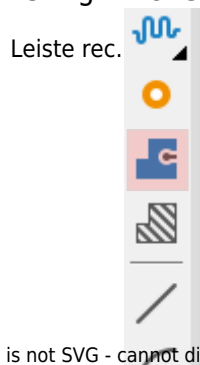


Weiterhin ist zu prüfen:

- Polygonfüllung der Freiflächen mit Ground
 - Füllen Sie die Polygone, seigen Sie diese an und und prüfen Sie nach ungefüllten Flächen:
 - Füllen: Bearbeiten » Alle Zonen füllen (oder B)
 - Anzeigen: Ansicht » Zeichnungsmodus » Zonen-Füllungen zeichnen



- Keine Polygonfüllung sichtbar?
 - Erstellen: Hinzufügen » Gefüllte Zone hinzufügen (oder <Strg>+<Umschalt>+Z oder folgendes Icon)



- Nach dem ersten Klick außerhalb der Platinenrandflächen:

Einstellen der Kupferzonen-Eigenschaften

Kupferzonen-Eigenschaften

Lagen: F.Cu, B.Cu

Netz: Filter, Automatisch generierte Netznamen verbergen, Netze nach Pad-Anzahl sortieren

/PC5, /PD0, /PD1, /PD2, /PD3, /PD4, /PD5, /PD6, /PD7, /PE2, /PE3, /XTAL, /-(RESET), GND

Allgemein: Zonenname: , Zonen-Prioritätsebene: 1

Form: Gesperrt, Umrissdarstellung: Schraffiert, Kontur-Schraffurabstand: 0,5 mm, Glättung von Ecken: Keine, Abrundungsradius: 0 mm

Elektrische Eigenschaften: Freiraum: 0,000001 mm, Mindestbreite: 0,0381 mm, Padverbindungen: Thermische Entlastungen, Thermischer Entlastungsspalt: 0,1262 mm, Thermische Speichenbreite: 0,1262 mm

Füllen: Füllart: Vollständig, Ausrichtung: 0, Gitterbreite: 1 mm, Gitterabstand: 1,5 mm, Glättungsaufwand: 0, Glättungsaufwand: 0,10, Inseln entfernen: Immer, Mindestgröße von Inseln: 10 mm²

OK Abbrechen

- Zeichnen für horizontale und vertikale Linien, welche zum Schluss am exakt gleichen Punkt enden, an dem begonnen wurde.

- 3D-Ansicht prüfen: Bestückungsdruck und Kupferflächen überprüfen

From:
<https://wiki.mexle.org/> - MEXLE Wiki

Permanent link:
https://wiki.mexle.org/elektronik_labor/4_entwickeln_des_platinenlayouts?rev=1719529245

Last update: 2024/06/28 01:00

